

**For : The Patent Application**

**Our Ref. : NT1147US**

**\* LIST OF THE REFERENCES**

1. Japanese Laid-open No. H09-293047

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-293047

(43)Date of publication of application : 11.11.1997

(51)Int.Cl.

G06F 13/28

G06F 15/78

(21)Application number : 08-103057

(71)Applicant : DENSO CORP

(22)Date of filing : 25.04.1996

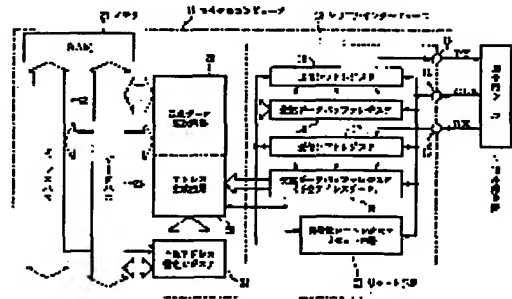
(72)Inventor : KOBAYASHI BUNRO

## (54) DATA TRANSFER DEVICE OF MICROCOMPUTER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To specify a memory address fast by an external device when memory data of the microcomputer are transferred to the external device by an SPI communication.

**SOLUTION:** The microcomputer 11 has a clock synchronous serial communication (SPI communication) with a tool 12 for adaptation through a serial interface 13. A high-order address specification register 24 of the microcomputer 11 specifies the high-order address of data which desires to be read out of a RAM 27. An address generation circuit 25 combines serial data (low-order address) sent from the tool 12 for adaptation with the high-order address specified by the high-order address specification register 24 to generate the address of RAM data to be sent next. Then a transmit data transfer circuit 26 reads the RAM address in the address by direct memory access, and transfers them to a transmit data buffer register 20, so that the data are transmitted to the tool 12 for adaptation.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-293047

(43) 公開日 平成9年(1997)11月11日

(51) Int. Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 13/28	3 1 0		G 0 6 F 13/28	3 1 0 Z
				3 1 0 M
15/78	5 1 0		15/78	5 1 0 F

審査請求 未請求 請求項の数 2 O L (全 5 頁)

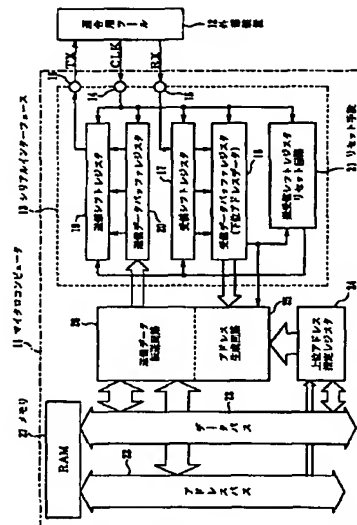
(21) 出願番号	特願平8-103057	(71) 出願人	000004260 株式会社デンソー
(22) 出願日	平成8年(1996)4月25日	(72) 発明者	小林 文朗 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内
		(74) 代理人	弁理士 加古 宗男

(54) 【発明の名称】 マイクロコンピュータのデータ転送装置

## (57) 【要約】

【課題】 マイクロコンピュータのメモリデータを S P I 通信で外部装置に転送する際に外部装置によってメモリアドレスを高速に指定できるようにする。

【解決手段】 マイクロコンピュータ 1 1 は、シリアルインターフェース 1 3 を介して適合用ツール 1 2 とクロック同期方式のシリアル通信 (S P I 通信) を行う。マイクロコンピュータ 1 1 内の上位アドレス指定レジスタ 2 4 は、RAM 2 7 から読み出したいデータの上位アドレスを指定する。アドレス生成回路 2 5 は、適合用ツール 1 2 から送信されてきたシリアルデータ (下位アドレス) と上位アドレス指定レジスタ 2 4 で指定した上位アドレスとを結合して、次に送信する RAM データのアドレスを生成する。この後、送信データ転送回路 2 6 は、該当アドレスの RAM データをダイレクトメモリアクセス方式で読み出して送信データバッファレジスタ 2 0 へ転送し、適合用ツール 1 2 へ送信する。



## 【特許請求の範囲】

【請求項 1】 マイクロコンピュータのメモリに格納されているデータをクロック同期方式のシリアルインターフェースを介して外部装置に転送するマイクロコンピュータのデータ転送装置であって、

前記メモリから読み出したいデータの上位アドレスを指定する上位アドレス指定手段と、

前記外部装置から送信されて前記シリアルインターフェースの受信部で受信されるデータを、前記メモリから読み出したいデータの下位アドレスとし、これを前記上位アドレス指定手段で指定された上位アドレスと結合して、次に送信するメモリデータのアドレスを生成するアドレス生成手段と、

前記アドレス生成手段で生成されたアドレスに格納されているメモリデータをダイレクトメモリアクセス方式で前記シリアルインターフェースの送信部へ転送する送信データ転送手段とを備えたことを特徴とするマイクロコンピュータのデータ転送装置。

【請求項 2】 前記シリアルインターフェースの受信部で前記外部装置からのデータを受信する際に、同期クロックの入力回数がシリアルデータのビット数に達する前に同期クロックが入力されなくなった場合に、受信データをリセットするリセット手段を備えていることを特徴とする請求項 1 に記載のマイクロコンピュータのデータ転送装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、マイクロコンピュータのメモリデータをクロック同期方式のシリアル通信で外部装置に転送するマイクロコンピュータのデータ転送装置に関するものである。

## 【0002】

【従来の技術】 従来より、マイクロコンピュータは種々の機器の制御用コンピュータとして多用されており、開発過程において、制御対象の特性に適合する適合定数を設定するために、制御対象に搭載されたマイクロコンピュータに適合用ツールを接続し、マイクロコンピュータで制御対象を制御しながら、該マイクロコンピュータのメモリ（RAM）に一時的に記憶されるデータを適合用ツールでモニターすることが行われている。

【0003】 従来、マイクロコンピュータと適合用ツールとの接続は、マイクロコンピュータのバスを外部に導出して適合用ツールと接続する方式が採用されていたが、近年のマイクロコンピュータの動作周波数の高周波数化に伴い、バスを外部に導出する接続方式では、高周波ノイズの影響を受けやすく、データ転送の信頼性を確保できなくなっている。

【0004】 そこで、最近では、高周波ノイズの影響を受けにくくするために、マイクロコンピュータにシリアルインターフェースを設けて、マイクロコンピュータと

適合用ツールとの間を通信ケーブルで接続する方式が採用されつつある。この方式では、マイクロコンピュータの CPU の負担を軽減して高速なデータ転送を可能にするために、マイクロコンピュータのメモリとシリアルインターフェースとの間のデータの転送をソフトウェアを介さずにハードウェアで直接実行するダイレクトメモリアクセス（DMA）方式が採用されている。従来の DMA 方式では、予め指定したメモリ領域にモニターしたいメモリのアドレスを設定しておき、そのアドレスに格納されているデータをシリアルインターフェースへ転送するようになっている。

## 【0005】

【発明が解決しようとする課題】 しかしながら、従来の DMA 方式では、予め指定したメモリ領域にモニターしたいメモリのアドレスを設定するため、マイクロコンピュータ内のメモリの一部を DMA のために使用しなければならず、その分、CPU で使用できるメモリ量が少なくなってしまう。しかも、マイクロコンピュータと適合用ツールとの間のシリアル通信方式は、シリアルデータの最初と最後のビットにスタートビットとストップビットを付加して同期をとる調歩同期方式のシリアル通信（SCI 通信）を使用しているため、通信ボーレートが最高でも 500 Kbps 程度までしか確保できず、メモリデータの転送速度が遅いという欠点もある。

【0006】 この場合、通信方式をクロック同期方式のシリアル通信（SPI 通信）に変更すれば、通信ボーレートを例えば 4 Mbps 程度まで速くすることができる。更に、適合用ツールからモニターしたいメモリのアドレスをマイクロコンピュータへ送信すれば、マイクロコンピュータ内のメモリの一部を DMA のために使用する必要がなくなり、その分、CPU で使用可能なメモリ量を多くできる。

【0007】 しかしながら、膨大なメモリのアドレスを指定するには多くのビット数を必要とするため、1 回の通信で送られるシリアルデータのビット数では、膨大なメモリのアドレスを指定することができない。従って、SPI 通信だけでアドレスを指定する場合には、アドレスのデータを 2 回に分けて送信し、受信側で 2 回のシリアルデータを組み合わせて 1 つのアドレスのデータを作る必要がある。このため、適合用ツールは、アドレスのデータを 2 回送信して、始めて 1 つのメモリデータを受信することになり、その分、メモリデータの転送速度が遅くなり、SPI 通信の利点である高速通信機能を有効に使用できないばかりか、適合用ツール側では、送信したアドレスと受信したメモリデータとの同期を取るための特別な処理が必要となり、面倒である。

【0008】 本発明はこのような事情を考慮してなされたものであり、従ってその目的は、クロック同期方式のシリアル通信（SPI 通信）を使用して、1 回のシリアルデータの送信でメモリのアドレスを指定できて、メモ

リデータの転送速度を速くできると共に、外部装置側で受信したメモリデータとアドレスとの同期が取りやすいマイクロコンピュータのデータ転送装置を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明の請求項1のマイクロコンピュータのデータ転送装置は、外部装置から送信されてくるデータをクロック同期方式のシリアルインターフェースの受信部で受信し、この受信データを、マイクロコンピュータのメモリから読み出したいデータの下位アドレスとする。そして、マイクロコンピュータ内に設けられたアドレス生成手段は、上記下位アドレスをマイクロコンピュータ内に設けられた上位アドレス指定手段で指定された上位アドレスと結合して、次に送信するメモリデータのアドレスを生成する。その後、送信データ転送手段は、アドレス生成手段で生成されたアドレスに格納されているメモリデータをダイレクトメモリアクセス（DMA）方式で前記シリアルインターフェースの送信部へ転送し、このメモリデータを外部装置へ送信する。

【0010】この場合、上位アドレス指定手段とアドレス生成手段を設けることで、1回のシリアルデータの送信でアドレスを指定できる。このため、マイクロコンピュータは、外部装置から送信されてくるシリアルデータ（下位アドレス）を1回受信する毎に、その都度、直ちにメモリデータをDMA方式でシリアルインターフェースの送信部へ転送し、これを外部装置へ転送することができて、メモリデータの転送速度を速くできる。しかも、外部装置は、データ送信終了直後に受信したデータを、前回送信したアドレスのメモリデータとして処理すれば良く、アドレスとメモリデータとの同期に特別な処理を行う必要がない。

【0011】更に、請求項2では、前記シリアルインターフェースの受信部で前記外部装置からのデータを受信する際に、同期クロックの入力回数がシリアルデータのビット数に達する前に同期クロックが入力されなくなった場合に、リセット手段により受信データをリセットする。従って、万一、ノイズ等によって同期クロックが乱れた場合でも、1データ分だけ通信を止めるだけで、以後の通信を正常状態に復帰させることができる。

【0012】

【発明の実施の形態】以下、本発明の一実施形態を図面に基づいて説明する。マイクロコンピュータ11には、適合用ツール12（外部装置）とクロック同期方式のシリアル通信（SPI通信）を行うためのシリアルインターフェース13が設けられている。このシリアルインターフェース13には、適合用ツール12から同期クロックCLKが入力されるクロック端子14、下位アドレスデータRXが入力される受信端子15、メモリデータTXを適合用ツール12へ送信する送信端子16が設けら

れている。このシリアルインターフェース13には、受信部を構成する例えば16ビットの受信シフトレジスタ17と受信データバッファレジスタ18と、送信部を構成する例えば16ビットの送信シフトレジスタ19と送信データバッファレジスタ20が設けられている。更に、このシリアルインターフェース13には、送受信シフトレジスタリセット回路21（リセット手段）が設けられ、通信途中でノイズ等によって同期クロックCLKの入力が乱れたときに、この送受信シフトレジスタリセット回路21から受信シフトレジスタ17と送信シフトレジスタ19へリセット信号を出力して、これらをリセットする。

【0013】また、マイクロコンピュータ11内には、図示はしないが、CPU、ROM、RAM27（メモリ）等が設けられ、これら各部がアドレスバス22やデータバス23で接続されている。更に、このマイクロコンピュータ11内には、上位アドレス指定レジスタ24（上位アドレス指定手段）が設けられている。この上位アドレス指定レジスタ24は、RAM27から読み出したいデータのアドレスの16ビットより上位のアドレス（上位アドレス）を指定するためのものである。例えば、RAM27のアドレスのビット数が24ビットの場合には、上位アドレスは8ビットデータであり、RAMのアドレスのビット数が32ビットの場合には、上位アドレスは16ビットデータである。

【0014】更に、マイクロコンピュータ11内には、アドレス生成回路25（アドレス生成手段）と送信データ転送回路26（送信データ転送手段）とが設けられている。アドレス生成回路25は、受信データバッファレジスタ18から転送されてくる16ビットの下位アドレスデータと、上位アドレス指定レジスタ24から転送されてくる8ビット又は16ビットの上位アドレスデータとを結合して、24ビット又は32ビットのアドレスを生成する。このアドレスは次に送信するRAMデータのアドレスとなる。

【0015】一方、送信データ転送回路26は、ダイレクトメモリアクセス（DMA）制御回路を主体にして構成されている。この送信データ転送回路26は、アドレス生成回路25でアドレスの生成が終了すると、そのアドレスに格納されているRAM27のデータをダイレクトメモリアクセス方式で読み出してシリアルインターフェース13の送信データバッファレジスタ20へ転送するものである。

【0016】図2に示すように、マイクロコンピュータ11と適合用ツール12との間には、SPI通信ケーブル31とSCI通信ケーブル32で接続されている。SPI通信ケーブル31は、前述した同期クロックCLK、下位アドレスデータRX及びメモリデータTXを伝送するケーブルであり、SCI通信ケーブル32は、調歩同期方式のシリアル通信方式（SCI通信）でコマンド等

を伝送するケーブルである。例えば、上位アドレス指定レジスタ 24 で指定する上位アドレスを変更する場合には、S C I 通信ケーブル 3 2 によって適合用ツール 1 2 からマイクロコンピュータ 1 1 へ上位アドレスのデータを送信する。図 2 の例では、S C I 通信ケーブル 3 2 は T X , R X の 2 本の信号線を使用し、同時に双方向の通信が可能な全 2 重になっているが、1 本の信号線で通信方向を交互に変えることで双方向の通信を行う半 2 重を採用しても良い。

【0017】マイクロコンピュータ 1 1 は、適合用ツール 1 2 との間で S P I 通信ケーブル 3 1 を介して S P I 通信を次のようにして行う。適合用ツール 1 2 から入力される同期クロック C L K に同期して、適合用ツール 1 2 から送信されてくる 16 ビットの下位アドレスデータを受信シフトレジスタ 1 7 に 1 ビットずつ取り込み、16 ビット分のデータの受信を完了した時点で、該受信データを受信データバッファレジスタ 1 8 を経由してアドレス生成回路 2 5 へ転送する。このアドレス生成回路 2 5 では、受信データバッファレジスタ 1 8 から転送されてくる 16 ビットの下位アドレスデータと、上位アドレス指定レジスタ 2 4 から転送されてくる 8 ビット又は 16 ビットの上位アドレスデータとを結合して、次に送信する RAM データの 24 ビット又は 32 ビットのアドレスを生成する。この後、送信データ転送回路 2 6 は、アドレス生成回路 2 5 で生成したアドレスに格納されている 16 ビットの RAM データをダイレクトメモリアクセス方式で読み出してシリアルインターフェース 1 3 の送信データバッファレジスタ 2 0 へ転送し、これを送信シフトレジスタ 1 9 へ転送する。そして、この送信シフトレジスタ 1 9 から RAM データが同期クロック C L K に同期して 16 ビットのシリアルデータで適合用ツール 1 2 へ送信される。

【0018】この場合、1 回の通信で送られるシリアルデータのビット数が RAM 2 7 のアドレスデータのビット数よりも少ないという事情があっても、マイクロコンピュータ 1 1 内に上位アドレス指定レジスタ 2 4 とアドレス生成回路 2 5 を設けているため、1 回のシリアルデータ（下位アドレス）の送信で RAM 2 7 のアドレスを指定できる。このため、マイクロコンピュータ 1 1 は、適合用ツール 1 2 から送信されてくるシリアルデータ（下位アドレス）を 1 回受信する毎に、その都度、直ちに RAM データを DMA 方式でシリアルインターフェース 1 3 へ転送することができて、RAM データの転送速度を速くできる。しかも、適合用ツール 1 2 は、データ送信終了直後に受信した RAM データを、前回送信したアドレスの RAM データとして処理すれば良く、アドレスと RAM データとの同期に特別な処理を行う必要がなく、適合用ツール 1 2 の受信データ処理の高速化にも寄与できる。

【0019】また、マイクロコンピュータ 1 1 は、シリアルデータ（下位アドレス）の受信から RAM データの転送までの一連の処理を高速に行うことができるので、マイクロコンピュータ 1 1 側には通信データのデータ間ギャップが不要である。従って、適合用ツール 1 2 の受信データ処理部の処理速度がマイクロコンピュータ 1 1 からの RAM データの転送速度に追従できれば、適合用ツール 1 2 によって RAM データをデータ間ギャップ無しでモニターすることができる。

10 【0020】一般に、S P I 通信の通信ボーレートは 4 M b p s 程度まで可能である。本実施形態において、仮に通信ボーレートを 2 M b p s 、データ間ギャップ無し、モニターするデータを 10 ワード（1 ワード = 16 ビット）とした場合、1 データ当たりの応答性は  $10 \times$   
15  $16 \div 2 = 80 \mu s$  となる。

【0021】また、本実施形態では、シリアルインターフェース 1 3 に、送受信シフトレジスタリセット回路 2 1 が設けられている。この送受信シフトレジスタリセット回路 2 1 は、適合用ツール 1 2 からシリアルデータが  
20 送信されているときに、同期クロック C L K の入力回数をカウントし、同期クロック C L K の入力回数がシリアルデータのビット数に達する前に同期クロック C L K が入力されなくなった場合に、受信シフトレジスタ 1 7 と送信シフトレジスタ 1 9 とにリセット信号を出力し、両  
25 シフトレジスタ 1 7 , 1 9 をリセットする。従って、万一、ノイズ等によって同期クロック C L K が乱れた場合でも、1 データ分だけ通信を止めるだけで、以後の通信を正常状態に復帰させることができ、通信の信頼性を高めることができる。

30 【0022】尚、本実施形態では、シリアルデータのビット数を 16 ビットとしたが、例えば 8 ビット、32 ビット等、他のビット数であっても良い。

#### 【図面の簡単な説明】

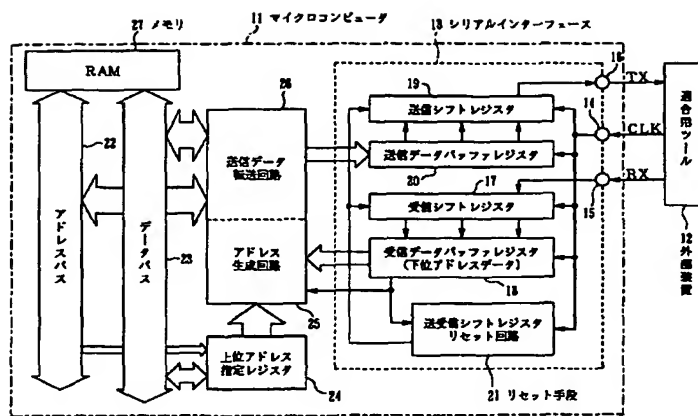
【図 1】本発明の一実施形態におけるマイクロコンピュータの主要部の構成を示すブロック図

【図 2】マイクロコンピュータと適合用ツールとの間の通信回線を示す図

#### 【符号の説明】

1 1 …マイクロコンピュータ、1 2 …適合用ツール（外部装置）、1 3 …シリアルインターフェース、1 7 …受信シフトレジスタ（受信部）、1 8 …受信データバッファレジスタ（受信部）、1 9 …送信シフトレジスタ（送信部）、2 0 …送信データバッファレジスタ（送信部）、2 1 …送受信シフトレジスタリセット回路（リセット手段）、2 4 …上位アドレス指定レジスタ（上位アドレス指定手段）、2 5 …アドレス生成回路（アドレス生成手段）、2 6 …送信データ転送回路（送信データ転送手段）、2 7 …RAM（メモリ）、3 1 …S P I 通信ケーブル、3 2 …S C I 通信ケーブル。

【図 1】



【図 2】

